

ELTEC

V		I	CCCCC		I I I I I
V		I	C		I
V		I	C		I
V		I	C		I
V		I	C	===	I
V		I	C		I
V		I	C		I
V		I	C		I
V		I	C		I
V		I	C		I
V		I	CCCCC		I I I I I

V		I	CCCCC		I I I I I I I I I
V		I	C		I I
V		I	C		I I
V		I	C		I I
V		I	C	===	I I
V		I	C		I I
V		I	C		I I
V		I	C		I I
V		I	C		I I
V		I	C		I I
V		I	CCCCC		I I I I I I I I I

UNIVERSELLE VIDEOINTERFACES
FÜR ALLE μ P-SYSTEME

ELTEC

Elektronik GmbH

Neubrunnenstraße 10
6500 Mainz

Postfach 1847
Tel. 06131/26411

VIC-I

VIDEOINTERFACE FÜR ALLE
MIKROPROZESSORSYSTEME

DIE TECHNISCHEN DATEN ZUSAMMENGEFASST:

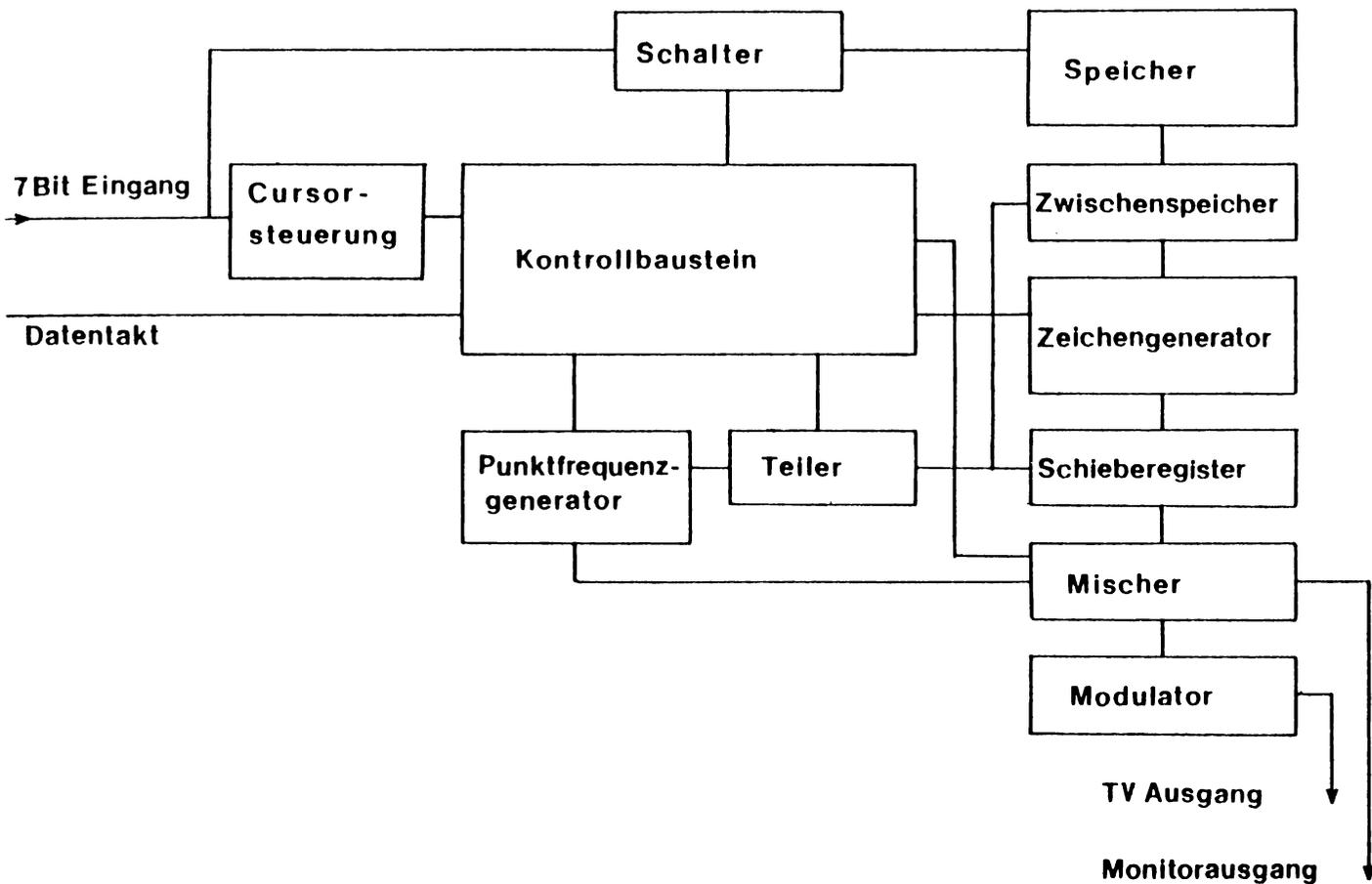
- * Aufgebaut auf einer Norm-Europa-Karte
- * Einfache Stromversorgung +5V, 300mA
- * Bitparallele Eingangsdaten
- * Positiver Strobe
- * Textseite mit 16 Zeilen à 64 Zeichen
- * 64 Zeichen (Großbuchstaben, Zahlen und Sonderzeichen)
- * Automatische Umwandlung von Kleinbuchstaben in Großbuchstaben
- * Bildbreite mit Poti einstellbar
- * Zeichen in 5x7 Punktmatrix
- * 10 Cursorfunktionen

VIC-1

VIC-1 ist ein Videointerface auf einer Europakarte. Benötigt wird nur eine Betriebsspannung von 5V(300mA) Die Textseite hat 16 Zeilen à 64 Zeichen. Jedes der 64 möglichen ASCII-Zeichen wird in einer 5x7 Punktmatrix dargestellt(Großschreiben,Zahlen und Sonderzeichen). Über eine 64-polige VG-Leiste sind folgende Anschlußmöglichkeiten herausgeführt:

Externer Takt(1MHz)bei Nichtverwendung des internen quarzstabilisierten Taktes,parallele Eingangsdaten im ASCII-Code und der benötigte Strobe.
An den Ausgängen der Platine wird ein Monitor mit BAS-Eingang angeschlossen. Es findet auch ein als Option erhältlicher UHF-Modulator auf der Platine Platz.An ihm kann man über eine Line-Buchse jeden handelsüblichen TV-Empfänger anschließen (Kanal 36).

BLOCKSCHALTBILD



VIC-1 FUNKTIONSBESCHREIBUNG

Parallele Eingangsdaten im 7-Bit ASCII-Code werden einem PROM (HARRIS 7611) zugeführt, welches die Cursorbefehle erkennt und über drei Leitungen (Pin 1, 11 und 12) dem Kontrollbaustein (THOMSON CSF 96 364) übergibt. Die vierte Ausgangsleitung (Pin 9) steuert über ein Gatter die Schreib-Lese-Leitung des Bildwiederhol-speichers (6 Stück 2102, also 1024x6 Bit). Bei jedem neuen Zeichen muß ein positiver Taktimpuls (Übergang von 0 Volt auf +5 Volt) dem Kontrollbaustein gegeben werden. Die Daten müssen vor dem Taktimpuls stabil stehen und bleiben bis das Zeichen von der VIC-1 Karte abgearbeitet worden ist. (siehe: Zeitablauf)

Die Eingangsdaten werden auch über Gatter, die hier als Schalter wirken, in die Dateneingänge des Bildwiederhol-speichers geführt.

Von den ursprünglich 7 Eingangsbits werden nur 6 Stück (D 6 invertiert) gebraucht, um die 64 darstellbaren Zeichen zu verschlüsseln.

Die Adressleitungen des Bildwiederhol-speichers (BWS) werden direkt vom Kontrollbaustein gesteuert. Werden z.B. beim Bildschirmrollen Zeilen verschoben, so werden die Adressleitungen vom Kontrollbaustein anders geschaltet. Die Daten aus den Ausgängen des BWS werden für die Dauer von 8 Bildpunkten, einer Zeile der 8x8 Matrix eines Buchstaben (siehe Tabelle 3), durch einen Zwischenspeicher (74 174) festgehalten um Zeitprobleme bei der Adress-zählung des BWS zu vermeiden.

Aus dem Zwischenspeicher werden sie in den Zeichen-generator (Festwertspeicher 2513-001) gegeben (Pin 17-22).

Der Zeichengenerator liefert zunächst die erste Zeile der Buchstaben einer geschriebenen Zeile auf dem Schirm, dann die zweite Zeile usw. Dies wird durch den Kontrollbaustein (Pin 11, 12 und 13) gesteuert. Pin 14 schaltet den Zeichengenerator zum Zeitpunkt, zu dem der Cursor geschrieben werden soll, kurz aus, wodurch ein kurzer Strich, der Cursor, auf dem Schirm entsteht.

Die Ausgänge des Zeichengenerators (Pin 4 bis 8) sind mit einem Schieberegister (74 165) verbunden, welches die parallelen Informationen aus dem Zeichengenerator seriell wandelt. Diese seriellen Impulse werden mit der Punktfrequenz UND verbunden, damit ein horizontaler Strich als Punktfolge auf dem Schirm erscheint. Hierdurch wird die Ablesegenauigkeit beträchtlich erhöht.

Der Kontrollbaustein liefert die vertikalen und horizontalen Synchronisationsimpulse schon fertig gemischt.

Diese Impulse werden aus dem quarzstabilisierten oder extern anschließbaren Oszillator von 1 MHz gewonnen. Die vertikalen Synchronisationsimpulse schalten auch den Punktgenerator (74 132) ein, damit ein geometrisch richtiges Bild auf dem Schirm erscheint. Der Punktgenerator besteht aus drei hintereinandergeschalteten Schmitt-Trigger-Nand's, die über R3 und P1 rückgekoppelt werden.

Ein- und ausgeschaltet wird er durch den Kontrollbaustein, um Synchronisation mit dem Bild zu erreichen.

Er schwingt bei etwa 12 MHz.

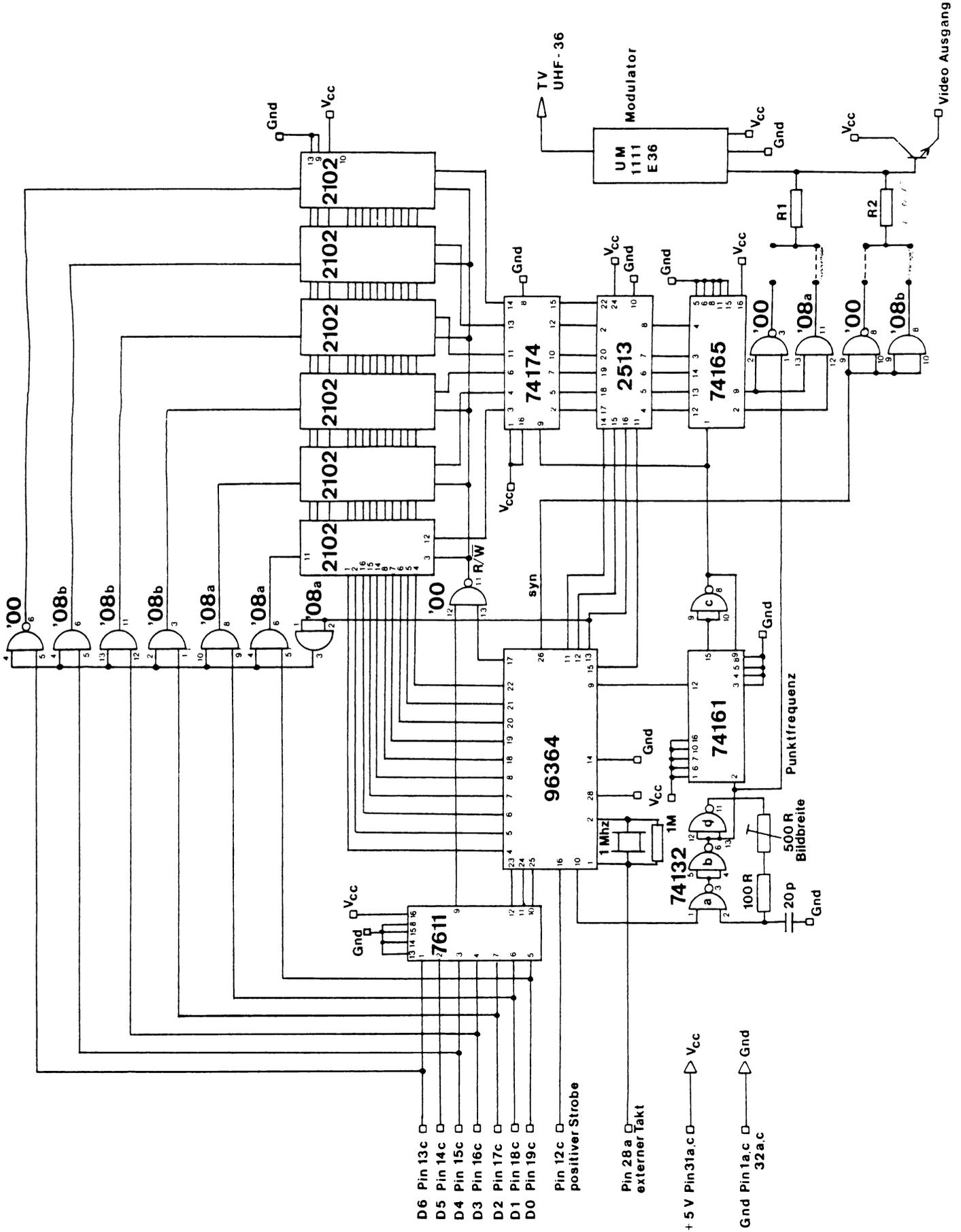
Diese Frequenz wird durch 8 geteilt (74 161) und als Buchstabenfrequenz dem Zwischenspeicher, dem Schieberegister und dem Kontrollbaustein zur Verfügung gestellt. Der Kontrollbaustein teilt die Frequenz weiter herunter und gewinnt so die verschiedenen Adresssignale.

Sowohl die seriellen Bildinformationsimpulse als auch die Synchronisationsimpulse werden in Gattern verstärkt. Man hat die Möglichkeit, über Brücken (Br1 bis Br4) die originalen oder die komplementären Signale über die Mischwiderstände R 1 und R 2 dem als Impedanzwandler geschalteten Transistor Tr 1 zuzuführen.

An dessen Ausgang steht ein niederohmiges Ausgangssignal für Monitore zur Verfügung.

Ein Modulator, der Daten über ein handelsübliches Fernsehgerät auf Kanal 36 (UHF) zur Anzeige bringt, kann auf die Karte gesetzt werden und wird aus dem Ausgang der Mischwiderstände gespeist.

SCHALTPLAN FÜR VIC-I



ANSCHLUSS AN MIKROPROZESSORSYSTEME UND ABARBEITUNGSZEIT

Die VIC-1 Karte läßt sich problemlos an die meisten Rechnersysteme anschließen.

Dabei müssen neben der Spannungsversorgung nur 7 Datenleitungen und die Datentaktleitung verlegt werden.

Die Pinbelegung der VG-Leiste entnehmen Sie bitte der Tabelle 1. Die Datenleitungen und die Datentaktleitung (Strobe) werden zweckmäßigerweise mit einer parallelen Ein-Ausgabeeinheit des Systems verbunden (PIA oder PIO genannt).

Beim Einschreiben eines Zeichens muß dabei folgendes beachtet werden:

Die sieben Datenbits müssen 10µs bevor das Strobeat bit den Übergang von logisch Null auf logisch Eins ausführt, stabil stehen und dürfen sich, bis das Zeichen von der VIC-1 Karte verarbeitet worden ist, wie dann auch das Strobeat bit, nicht ändern. Solange das Strobeat bit auf logisch Null liegt, beeinflussen Änderungen auf den Datenleitungen die VIC-1 Karte nicht.

Eine Zeichenübernahme vom System auf VIC-1 müßte also folgendermaßen aussehen:

1. Das auszugebende Zeichen liegt, im ASCII-Code verschlüsselt, an den sieben niederwertigen Bits des verwendeten PIA's. Das höchstwertige Bit liegt noch auf logisch Null, es wird für den Datentakt benutzt.
2. Frühestens 10 µs nachdem das Zeichen stabil an den Ausgängen der PIA liegt, geht das höchstwertige Bit nach oben.
Jetzt übernimmt die VIC-1 Karte das Zeichen.
3. Die Daten an den Ausgängen der PIA müssen stabil bleiben, bis das Zeichen verarbeitet worden ist. Die Zeiten hierfür sind verschieden, entnehmen Sie sie bitte aus Tabelle 2.
Das System durchläuft hierbei eine Warteschleife. Nach der Abarbeitungszeit setzen Sie das Strobeat bit wieder auf logisch Null. Die VIC-1 Karte wird nicht mehr beeinflußt.
Jetzt kann ein neues Zeichen an die niederwertigen Bits der PIA gelegt werden.

Die Abarbeitungszeit erhöht sich auf 8,3 msec, wenn der Text beim Einschreiben des Zeichens um eine Zeile nach oben rückt.

Das kann unter folgenden Umständen geschehen:

1. Bei dem Zeichen "Zeilenvorschub" oder "Schirm rollen", wenn der Cursor in der untersten Reihe steht.
2. Bei dem Zeichen "Cursor nach rechts", wenn der Cursor in der letzten Zeile ganz rechts steht. Dies schiebt den Text um eine Zeile nach oben und der Cursor rückt nach links.
3. Bei einem Textzeichen, wenn der Cursor wie bei 2. ganz unten rechts steht.

Das heißt, normale Textzeichen kann man, wenn man bei gelöschtem Schirm oben links beginnt, alle 130 µsec eingeben. So dauert es weniger als 150 msec, um eine Textseite (1024 Zeichen) zur Anzeige zu bringen.

Cursorfunktion	ASCII-Symbol	Tastendruck	Abarbeitungszeit
Schirm löschen, Cursor home	FF	Control & L	135 msec
Cursor home	FS		135 msec
Zeilenvorschub (Linefeed)	LF	Control & J bzw. LF	130 µsec
Schirmrollen	ESC	Escape	130 µsec
Return u. Restzeile löschen	CR	Control & M bzw. Return	8,3 msec
Cursor hoch	VT	Control & K	130 µsec
Cursor runter	LF	Control & J bzw. LF	130 µsec
Cursor rechts	HT	Control & I	130 µsec
Cursor links	BS	Control & H bzw. BS	130 µsec

Pinbelegung der VG-Leiste

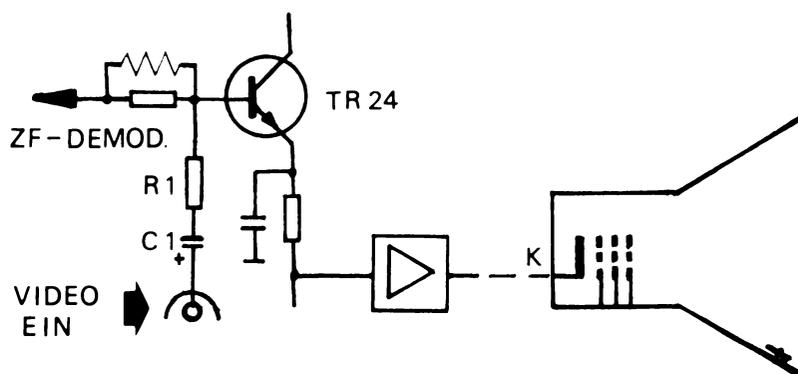
Ground	Pin 1a, 1c, 32c ; +5 V	Pin 31a, 31c
externer Takt	Pin 28a ; Strobe	Pin 12c
D 0	Pin 19c ; D 1	Pin 18c
D 2	Pin 17c ; D 3	Pin 16c
D 4	Pin 15c ; D 5	Pin 14c
D 6	Pin 13c	

Umrüstung eines handelsüblichen Fernsehgeräts auf Video-Eingang (am Beispiel des Geräts Quelle Universum Portable SK 3255)

Achtung! Es muß unbedingt ein Fernsehgerät mit vollständiger Netztrennung verwendet werden. Sonst besteht Lebensgefahr!

Es wird keine Gewährleistung für eine erfolgreiche Umrüstung übernommen. Es soll lediglich eine Anregung gegeben werden. R 1, C 1 sind hinzuzufügen (R 1=270 Ohm, C 1=10 µF Tantal). am Punkt "Video Ein" ist eine Video-Spannung von etwa 1 V_{ss} einzuspeisen.

Der Kanalschalter des Fernsehgeräts ist bei Monitorbetrieb auf Leerstellung zu schalten. Besser ist es, die Regelspannung der ZF-Stufe abzuschalten, um zu verhindern, daß über den Hf-Teil Rauschen und evtl. Fremdsender einwirken.



VIC-II

SERIELLES VIDEOINTERFACE

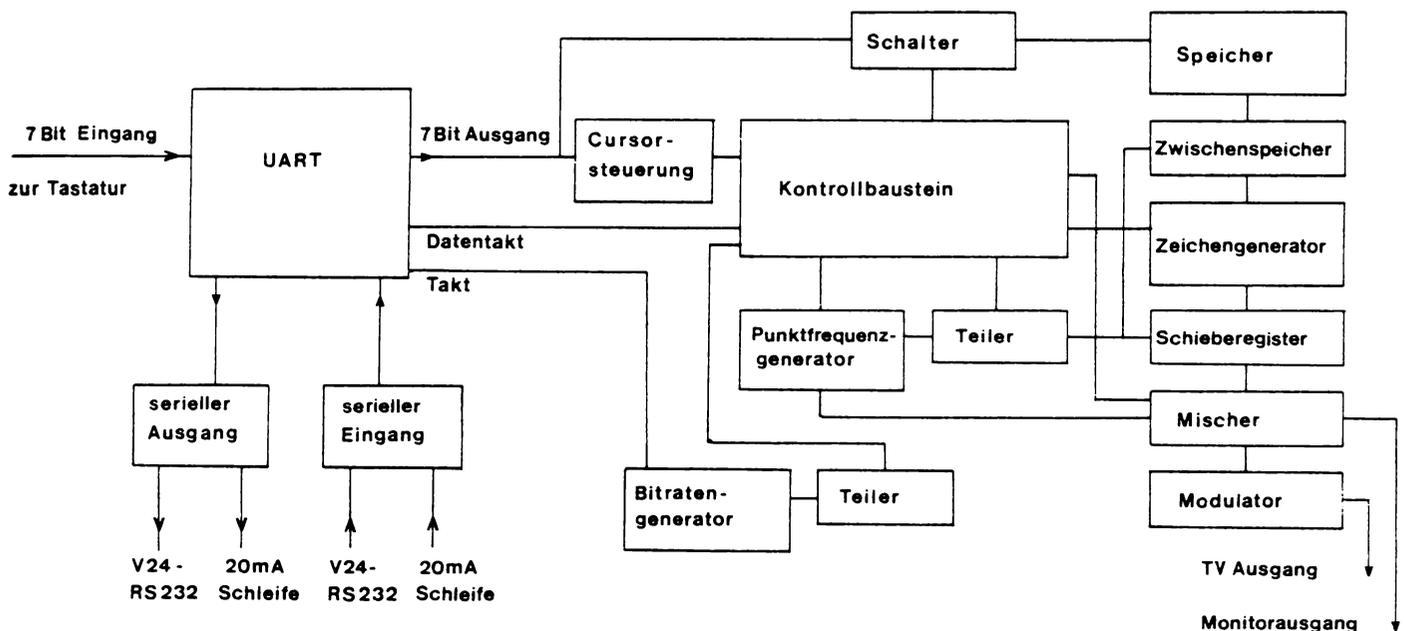
DIE TECHNISCHEN DATEN ZUSAMMENGEFASST:

- * V 24 bzw. RS 232 Schnittstelle
- * 20 mA Stromschleife über Optokoppler galvanisch getrennt
- * Übertragungsrate in 16 Stufen zwischen 50 Bit/sec und 19200 Bit/sec wählbar
- * paralleler Tastaturanschluß
- * Datenformat und Parität wählbar
- * Halb- und Vollduplexbetrieb
- * Stromversorgung +5V (400mA), +12V (12mA), -12V (8mA)
- * sonstige Daten wie VIC-1

VIC-2

Die VIC-2 Karte ist in Verbindung mit einem Monitor und einer Tastatur ein vollständiges Datenterminal. Sie bietet die parallele Anschlußmöglichkeit einer Tastatur und einer seriellen Datenübermittlung zum und vom Rechner; wählbar über eine spannungsgesteuerte V24 bzw. RS232 Schnittstelle oder eine optoentkoppelte 20 mA Stromschleife. Die Übertragungsrate ist an vier DIL-Schaltern in 16 Stufen von 50 Bit/sec bis 19200 Bit/sec einstellbar. Mit einer Drahtbrücke kann man festlegen, ob man im Halb- oder Vollduplexbetrieb arbeiten möchte. An vier weiteren DIL-Schaltern kann man 7 Bit oder 8 Bit Datenformat einstellen, die Parität gerade oder ungerade wählen, die Paritätsbildung unterbinden und die Anzahl der Stopbits einstellen. Die Daten werden in der gleichen Weise wie bei der VIC-1 Karte auf einem Bildschirm zur Anzeige gebracht.

BLOCKSCHALTBILD



FUNKTIONSBESCHREIBUNG UND ANSCHLUSS AN RECHENSYSTEME

Parallele Eingangsdaten, die von einer Tastatur kommen, werden an die UART (6402, Intersil, Universeller asynchroner Empfangs- und Sendebaustein) geführt.

Dieser Baustein wandelt die parallelen Daten in serielle um und fügt ein Startbit und, je nach Stellung von S2, ein oder zwei Stoppbits, sowie, je nach Stellung von S4, ein Paritätsbit hinzu.

Die seriellen Daten (an Pin 25 mit TTL-Pegel) werden nun von dem Sendebaustein MC-1488 (Motorola) nach den Spezifikationen der V24 Schnittstelle umgeformt, (logisch Null=-12V, logisch Eins=+12V), und können vom Pin 2 der Cannon-Leiste zum Rechner geführt werden.

Ein weiteres Gatter vom MC-1488 treibt den Optokoppler 4N33. An dessen Ausgängen steht an Pin 11 und 12 der Cannon-Leiste der Ausgang für die 20mA Schnittstelle zur Verfügung. Die Diode schützt vor Verpolung.

Um die Sendung zu unterbrechen, ist es möglich, beide Gatter vom 1488 über die Drahtbrücke J2 (oder einem extern angebrachten Schalter) abzuschalten.

Soll im Vollduplexbetrieb gearbeitet werden (die eingegebenen Daten kommen direkt zur Anzeige) wird 33 geöffnet. Jetzt können die Daten vom Pin 6 des 1488 über ein Gatter des Empfangsbausteins MC 1489 (Umwandlung auf TTL Pegel) auf Pin 10 vom 1488 gelangen. Kommen nun keine Daten vom Rechner auf Pin 3 der Cannonleiste, ist der Ausgang Pin 6 (1489) auf logisch eins und damit werden die Daten vom Pin 10 (1488) über ein weiteres Gatter (1489) auf J1 gegeben. Hier wird bestimmt, ob über die V24 - Schnittstelle oder die 20mA-Schleife Daten empfangen werden. Ist J1 mit Pin 8 (1489) verbunden, können nur Daten über die V24 Schnittstelle empfangen werden. Hierbei ist auch Vollduplexbetrieb möglich. Ist J1 mit Pin 11 (1489) verbunden, ist Empfang nur über die 20mA Stromschleife möglich. Hierbei gelangen die Eingangsdaten über Pin 9 und 10 der Cannonleiste auf einen Optokoppler 4N33. Dieser treibt dann Pin 13 eines Gatters (1489).

In dieser Betriebsart ist nur Halbduplexbetrieb möglich (Die Daten werden nicht direkt auf dem Bildschirm zur Anzeige gebracht, sondern müssen erst über den Rechner laufen. Auf diese Weise werden Übermittlungsfehler direkt am Bildschirm sichtbar).

Die seriellen Daten an J1 gelangen zu Pin 18 und 20 des UART. Hier werden sie in parallele Daten umgeformt, die dann an der VG-Leiste zur Verfügung stehen. Sie gelangen außerdem zu dem Rest der Schaltung, der mit VIC-1 identisch ist.

Der vom UART benötigte Arbeitstakt wird vom Bitraten-generator COM 8046 (standard microsystems corp.) erzeugt. Hier kann man auch die Bitraten (siehe Tabelle 1) einstellen.

Die Arbeitsfrequenz des Bitratengenerators (5,0688 MHz) wird von dem Teiler (7490) durch fünf geteilt und dem Kontrollbaustein zur Verfügung gestellt.

ACHTUNG:

Bei höheren Bitraten als 1200 Bit/sec müssen, bei Betrieb mit einem Rechner, in die Ausgangsroutine Warteschleifen eingebaut werden.

Beachten Sie bitte die Angaben für die Abarbeitungszeiten der VIC-1 Karte.

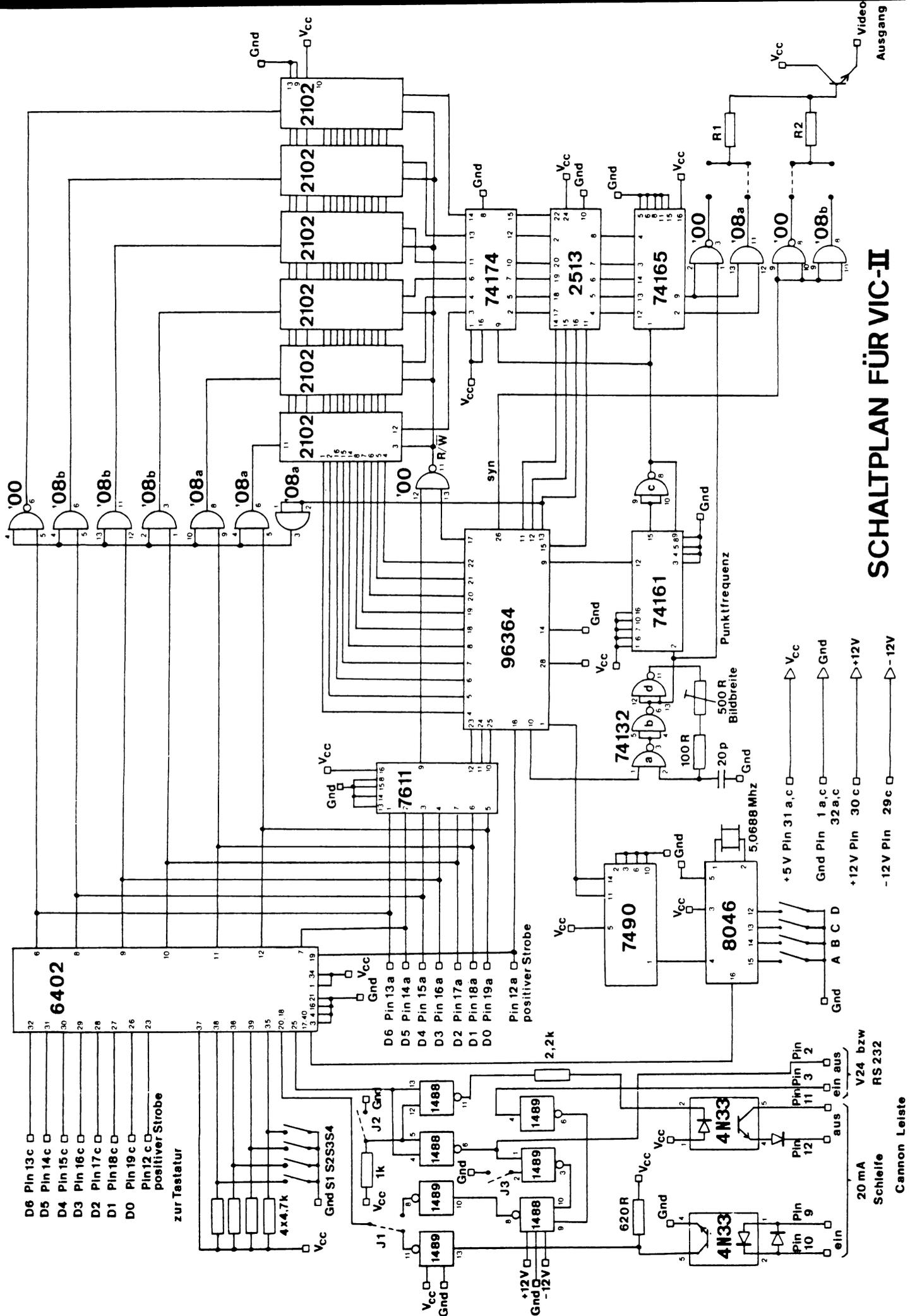
Es ist nicht möglich, statt der Warteschleifen sogenannte "Filler" als Wartebits zu senden, da mit jedem empfangenen Datenwort ein Datentaktimpuls auf den Kontrollbaustein gegeben wird und dieser dann die Abarbeitung von Cursorbefehlen mit langer Abarbeitungszeit stören würde.

Anschlußschema:

Ausgang (U 24 oder 20mA Schleife) der VIC-2 Karte mit dem Eingang des Rechners verbinden.

Eingang (U 24 oder 20mA Schleife) der VIC-2 Karte mit dem Ausgang des Rechners verbinden.

Spannungsversorgung und Monitor anschließen.



SCHALTPLAN FÜR VIC-II

20 mA Schleife Cannon Leiste

V24 bzw RS 232

ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

Pin 12

Pin 11 3 2

aus ein aus

Pin 10 9

TABELLE 1

Einstellung der Übertragungsrate

X = geschlossen 0 = offen

A	B	C	D	Übertragungsrate (Bit/sec)
0	0	0	0	50
X	0	0	0	75
0	X	0	0	110
X	X	0	0	134,5
0	0	X	0	150
X	0	X	0	300
0	X	X	0	600
X	X	X	0	1 200
0	0	0	X	1 800
X	0	0	X	2 000
0	X	0	X	2 400
X	X	0	X	3 600
0	0	X	X	4 800
X	0	X	X	7 200
0	X	X	X	9 600
X	X	X	X	19 200

PINBELEGUNG DER CANNONLEISTE

Pin 2	V24 bzw RS 232	Ausgang
Pin 3	V24 bzw RS 232	Eingang
Pin 9	20mA Stromschleife	Eingang (+)
Pin10	20mA Stromschl.	Eingang (-)
Pin11	20mA Stromschl.	Ausgang (+)
Pin12	20mA Stromschl.	Ausgang (-)

PINBELEGUNG DER VG-LEISTE

+ 5V	Pin 31a,c
+12V	Pin 30c
-12V	Pin 29c

ZUR TASTATUR:

<u>EINGANG UART</u>		<u>AUSGANG UART</u>	
Datentakt	Pin 12c	Datentakt	Pin 12a
D0	Pin 19c	D0	Pin 19a
D1	Pin 18c	D1	Pin 18a
D2	Pin 17c	D2	Pin 17a
D3	Pin 16c	D3	Pin 16a
D4	Pin 15c	D4	Pin 15a
D5	Pin 14c	D5	Pin 14a
D6	Pin 13c	D6	Pin 13a

TABELLE 2

Einstellungen am UART

Schalter	Funktion	offen	geschlossen
S 1	Datenformat	8 Bit	7 Bit
S 2	Anzahl der Stopbits	2	1
S 3	Parität	gerade	ungerade
S 4	Paritätserzeugung u. Überprüfung	wird unterbunden	wird durchgeführt

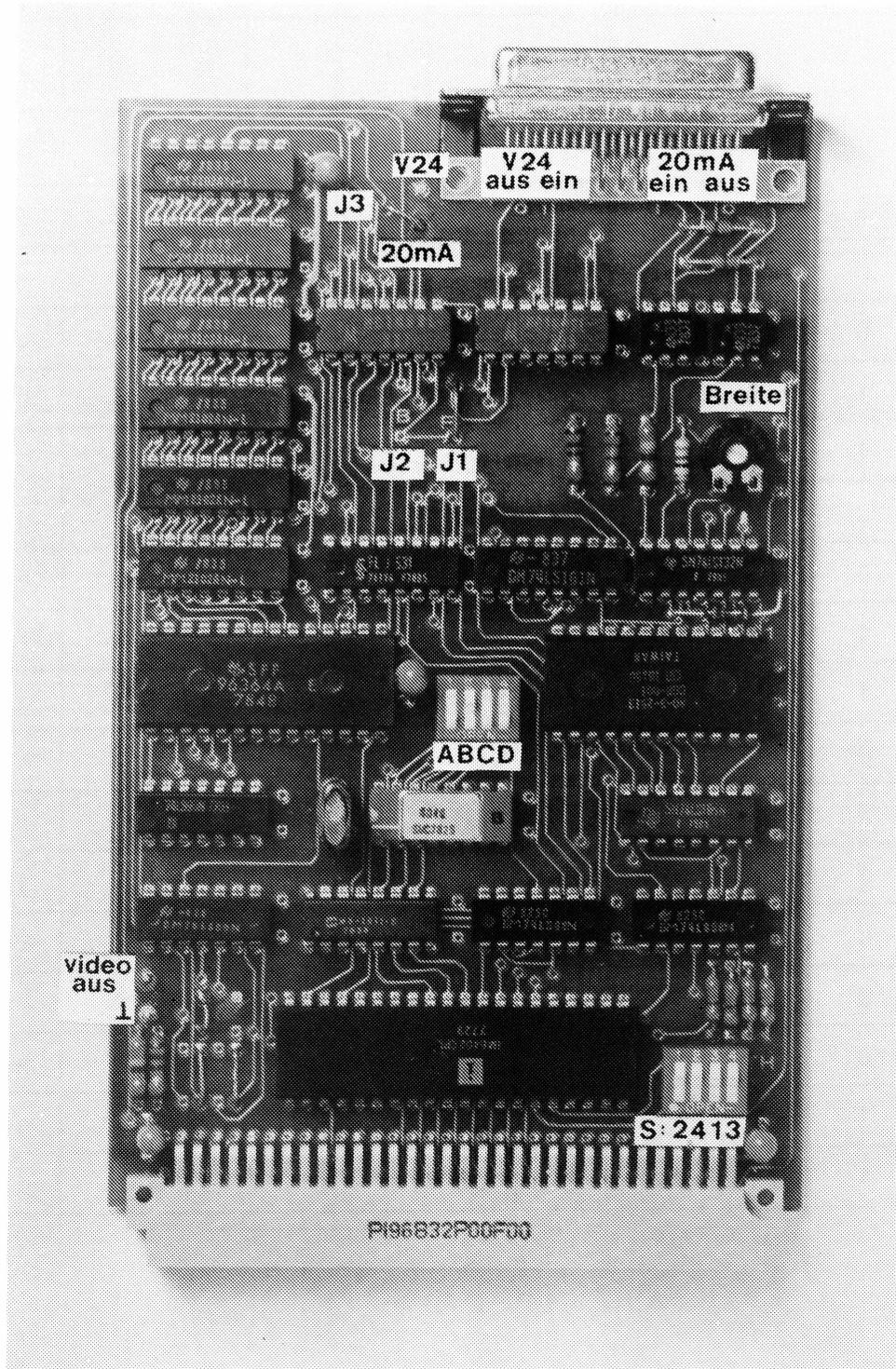
TABELLE 3

Einstellung der Drahtbrücken

Brücke	Funktion	offen	geschlossen
J 1	Empfang 20mA (11) oder V24 bzw RS 232 (8)		
J 2 = B	Unterbrechen der Sendung	läuft	unterbrochen
J 3 = F	Halb-oder Vollduplex	Vollduplex	Halbduplex

ACHTUNG:

Bei Empfang mit 20mA Stromschleife ist nur Halbduplexbetrieb möglich



				b7	0	0	0	0	1	1	1	1
				b6	0	0	1	1	0	0	1	1
				b5	0	1	0	1	0	1	0	1
b4	b3	b2	b1		0	1	2	3	4	5	6	7
0	0	0	0	0	NUL	DLE	SP	0	@	P	\	p
0	0	0	1	1	SOH	DC1	!	1	A	Q	a	q
0	0	1	0	2	STX	DC2	"	2	B	R	b	r
0	0	1	1	3	ETX	DC3	#	3	C	S	c	s
0	1	0	0	4	EOT	DC4	\$	4	D	T	d	t
0	1	0	1	5	ENQ	NAK	%	5	E	U	e	u
0	1	1	0	6	ACK	SYN	&	6	F	V	f	v
0	1	1	1	7	BEL	ETB	'	7	G	W	g	w
1	0	0	0	8	BS	CAN	(8	H	X	h	x
1	0	0	1	9	HT	EM)	9	I	Y	i	y
1	0	1	0	10	LF	SUB	*	:	J	Z	j	z
1	0	1	1	11	VT	ESC	+	;	K	[k	}
1	1	0	0	12	FF	FS	,	<	L	\	l	
1	1	0	1	13	CR	GS	—	=	M]	m	}
1	1	1	0	14	SO	RS	.	>	N	^	n	~
1	1	1	1	15	SI	US	/	?	O	_	o	DEL